

(12) SOLICITUD INTERNACIONAL PUBLICADA EN VIRTUD DEL TRATADO DE COOPERACIÓN  
EN MATERIA DE PATENTES (PCT)

(19) Organización Mundial de la Propiedad  
Intelectual  
Oficina internacional



(43) Fecha de publicación internacional  
4 de Agosto de 2005 (04.08.2005)

PCT

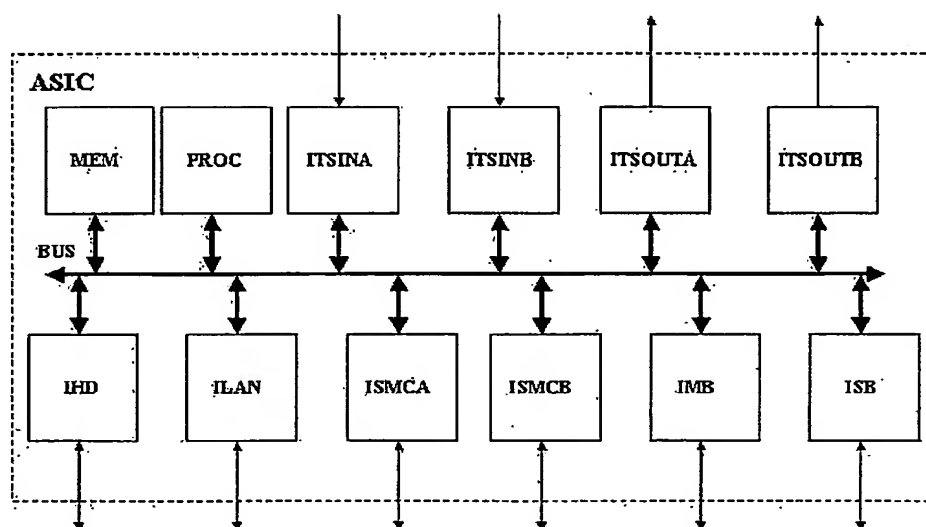
(10) Número de Publicación Internacional  
**WO 2005/071943 A1**

- (51) Clasificación Internacional de Patentes<sup>7</sup>: **H04N 5/00** (72) Inventores; e  
(21) Número de la solicitud internacional: PCT/ES2004/000029 (75) Inventores/Solicitantes (*para US solamente*): **ISENSER FARRE, Jose, María** [ES/ES]; Calle Isaac Newton, s/n, Parque Tecnológico de Madrid, Tres Cantos, E-28760 Madrid (ES). **SANTOS PÉREZ, Carlos** [ES/ES]; Calle Isaac Newton, s/n, Parque Tecnológico de Madrid, Tres Cantos, E-28760 Madrid (ES). **AVELLANO FERNÁNDEZ, José, Luis** [ES/ES]; Calle Isaac Newton, s/n, Parque Tecnológico de Madrid, Tres Cantos, E-28760 Madrid (ES). **MORÁN CARRERA, Javier** [ES/ES]; Calle Isaac Newton, s/n, Parque Tecnológico de Madrid, Tres Cantos, E-28760 Madrid (ES).  
(22) Fecha de presentación internacional: 22 de Enero de 2004 (22.01.2004)  
(25) Idioma de presentación: español  
(26) Idioma de publicación: español  
(71) Solicitante (*para todos los Estados designados salvo US*): **SEMICONDUCTORES, INVESTIGACIÓN Y DISEÑO, S.A. (S.I.D.S.A.)** [ES/ES]; Calle Isaac Newton, s/n Parque Tecnológico de Madrid, Tres Cantos, E-28760 Madrid (ES). (74) Mandatario: **RAMOS, Diego**; Calle Velázquez, 108-110, E-28006 Madrid (ES).

[Continúa en la página siguiente]

(54) Title: INTEGRATED CIRCUIT FOR THE PROCESSING AND SUBSEQUENT ROUTING OF MOTION PICTURE EXPERT GROUP (MPEG) DATA BETWEEN INTERFACES

(54) Título: CIRCUITO INTEGRADO PARA EL PROCESAMIENTO Y POSTERIOR ENCAMINAMIENTO ENTRE INTERFACES DE DATOS MPEG (MOTION PICTURE EXPERT GROUP)



(57) Abstract: The invention relates to a circuit which is integrated in a receiver system for digital television networks and which processes and routes data from one or more Motion Picture Expert Group (MPEG) data streams between two or more interfaces or peripherals, using an embedded processor (PROC) and an internal shared bus (BUS). The inventive integrated circuit comprises at the least the following integrated peripherals: two input MPEG stream interfaces (ITSINA and ITSINB); two output MPEG stream interfaces (ITSOUTA and ITSOUTB); a hard disk interface (IHD); a local network interface (ILAN); two smart card interfaces (ISMCA and ISMCB); a generic master interface to external slave peripherals and external memory (IMB); and a generic slave interface from another external master device (ISB).

[Continúa en la página siguiente]

WO 2005/071943 A1



(81) Estados designados (a menos que se indique otra cosa, para toda clase de protección nacional admisible): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), euroasiática (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europea (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Publicada:**

— con informe de búsqueda internacional

(84) Estados designados (a menos que se indique otra cosa, para toda clase de protección regional admisible): ARIPO

Para códigos de dos letras y otras abreviaturas, véase la sección "Guidance Notes on Codes and Abbreviations" que aparece al principio de cada número regular de la Gaceta del PCT.

(57) **Resumen:** Circuito integrado en un sistema receptor para redes de televisión digital que procesa y encamina los datos provenientes de uno a varios trenes de transporte de datos MPEG (Motion Picture Expert Group) entre dos o más interfaces o periféricos utilizando un procesador embebido (PROC) y un bus (BUS) común interno. El circuito integrado objeto de la invención integrará, al menos, los siguientes periféricos: 2 interfaces de tren de transporte MPEG de entrada (ITSINA e ITSINB); 2 interfaces de tren de transporte MPEG de salida (ITSOUTA e ITSOUTB); interfaz de disco duro (IHD); interfaz de red local (ILAN); 2 interfaces de tarjeta inteligente (ISMCA e ISMCB); interfaz maestra genérica a periféricos esclavos externos y memoria externa (IMB); interfaz esclava genérica desde otro dispositivo maestro externo (ISB).